

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03279997 A**(43) Date of publication of application: **11.12.91**

(51) Int. Cl.

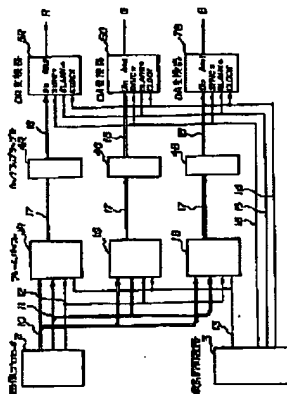
G09G 5/04**G09G 5/06****H04N 9/64**(21) Application number: **02080141**(71) Applicant: **BROTHER IND LTD**(22) Date of filing: **28.03.90**(72) Inventor: **IRIE KAZUNORI**(54) **VIDEO SIGNAL OUTPUT DEVICE**

COPYRIGHT: (C)1991,JPO&Japio

(57) Abstract:

PURPOSE: To project the contents of not only a G frame buffer, but also an R and a B frame buffers on a CRT device independently by providing a synchronizing signal superimposing means which superimposes a synchronizing signal upon video signals and outputs them to plural DA converters.

CONSTITUTION: Image data 17 is outputted from the serial port of a frame buffer 1 in synchronism with the rising of the SC signal 13 of a display control circuit 3 and data 18 corresponding to its address are outputted by look-up tables 4R - 4B; and image data 17 are converted and inputted to DA converters 5R, 6G, and 7B. Thus, a display control circuit 3 outputs the synchronizing signal to the respective DA converters of R, G, and B, which output signals having the synchronizing signal superimposed upon the video signals. Consequently, only the contents of the frame buffers of not only green G, but also red R and blue B are projected on the CRT device without inputting the synchronizing signal to the CRT device from outside.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-279997

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)12月11日

G 09 G 5/04

8121-5G

5/06

8121-5G

H 04 N 9/64

F

7033-5C

審査請求 未請求 請求項の数 3 (全6頁)

⑮ 発明の名称 映像信号出力装置

⑯ 特 願 平2-80141

⑰ 出 願 平2(1990)3月28日

⑱ 発 明 者 入 江 一 典 愛知県名古屋市長区瑞穂区堀田通9丁目35番地 ブラザー工業株式会社内

⑲ 出 願 人 ブラザー工業株式会社 愛知県名古屋市長区瑞穂区苗代町15番1号

⑳ 代 理 人 弁理士 石川 泰男 外1名

明 細 書

1. 発明の名称

映像信号出力装置

2. 特許請求の範囲

1. アドレス、データ及び描画制御信号を出力する画像プロセッサと、画像プロセッサからのアドレス、データ及び制御信号が入力され画像データを入出力する複数のフレームバッファと、フレームバッファからの信号をデジタル・アナログ変換する複数のDA変換器とからなる映像信号出力装置において、複数のDA変換器へ同期信号を映像信号に重畳して出力する同期信号重畳手段を備えたことを特徴とする映像信号出力装置。

2. 複数の映像信号出力を備えたDA変換器において、複数のDA変換器の複数の映像信号に同期信号を重畳するようにしたことを特徴とするDA変換器。

3. フレームバッファからのデータをアドレ

スとして入力し、そのアドレスに対応したデータを出力するルックアップテーブルを備えたことを特徴とする請求項2記載のDA変換器。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、レッド(R)、グリーン(G)、ブルー(B)の3種のカラー映像信号を出力する映像信号出力装置に関する。

(従来の技術)

従来、このような映像信号出力装置として第7図に示すような映像信号出力装置100がある。映像信号出力装置100は、画像プロセッサ101を備える。画像プロセッサ101は、R、G、B用のフレームバッファ102R、102G、102Bに夫々接続されている。フレームバッファ102R、102G、102Bの出力側は、ルックアップテーブル104R、104G、104Bの入力側に接続されている。また、ルックアップテーブル104R、104G、104B

の出力側はDA変換器125、126、127の入力側に接続されている。また、表示制御回路103は、フレームバッファ102R、102G、102Bに接続され、さらに、DA変換器125、126、127に夫々ブランキング信号(BLANK*)115と、DA変換タイミング信号(CLOCK)114とが入力され、そして、表示制御回路103からは、同期信号(SYNC*)116がGのDA変換器のみに入力されている。ここでブランキング信号115、同期信号116はロウレベルで有意になるものとする。

次に動作を説明する。

表示制御回路103の表示を行なうためのシリアルクロック(SC)信号113の立ち上がりと同期して、フレームバッファ102R、102G、102Bのシリアルポートから画像データ117が出力される。出力された画像データ117は、ルックアップテーブル104R、104G、104Bによって変換される。ルックアップテ-

ブル104R、104G、104Bにより変換された画像データ118は、DA変換器125～127に入力される。

DA変換器125～127は、ルックアップテーブル104R、104G、104Bからの画像データ118と表示制御回路103からのBLANK*信号115とSYNC*信号116を、CLOCK信号114の立ち上がりエッジで第2図に示す真理値表に基づいてDA変換する。第6図に基づいてDA変換器の出力例を説明する。

第6図は1水平期間中のBLANK*信号115とSYNC*信号116と、R、G、B各々のDA変換器125～127の出力を示す。帰線区間の始めにBLANK*信号115が有意になり、次に、SYNC*信号116が有意になり、GのDA変換器126は、SYNC*レベルを出力する。その後、SYNC*信号116が無意になり、GのDA変換器125～127はBLANKレベルを出力する。次に、BLANK*信号115が無意になり、帰線期間は終了する。

帰線区間では、入力された画像データ118は無視される。表示区間ではBLANK*信号115とSYNC*信号116は共に無意である。そしてR、G、Bの各々のDA変換器125～127は、入力された画像データ118に基づいたBLANKレベル以上WHITEレベル以下のレベルを出力する。

一般に、CRT装置は、R、G、Bの3種の映像信号入力と、外部同期信号入力とを備えている。

そして、CRT装置の同期方式には、複合同期方式と外部同期方式がある。複合同期方式は、R、G、Bの3種の映像信号入力のみを使用し、外部同期信号入力は使用しない方式であり、CRT装置はGの映像信号に重畳された同期信号から同期信号を分離して他のR、Bの同期をとるようになっている。

一方、外部同期方式は、R、G、Bの3種の映像信号入力と、外部同期信号入力を使用する方式で、CRT装置は外部同期信号で同期をとるようになっている。

(発明が解決しようとする課題)

しかしながら、上記したような従来技術の映像信号出力装置において、Gの映像信号出力をCRT装置のGの映像信号入力に接続すれば、Gのフレームバッファ102Gの内容のみをCRT装置に映し出すことは可能であるが、RあるいはBの同期信号がないためにRあるいはBのフレームバッファ102R、102Bの内容のみをCRT装置に映し出すことは不可能である。RあるいはBのフレームバッファ102R、102Bの内容のみをCRT装置に映し出す必要がある時は、外部からCRT装置に対して同期信号を入力しなければならないという不都合がある。

本発明は、従来技術の上記した問題点を解決するためになされたものでその目的とするところは、外部からCRT装置に対して同期信号を入力する必要がなく、Gだけでなく、R、Bのフレームバッファの内容をそれぞれ単独にCRT装置に映し出すことができる映像信号出力装置を提供することを目的とする。

(課題を解決するための手段)

本発明は、アドレス、データ及び制御信号を出力する画像プロセッサと、画像プロセッサからのアドレス、データ及び制御信号が入力され画像データを入出力する複数のフレームバッファと、フレームバッファからの信号をデジタル・アナログ変換する複数のDA変換器とからなる映像信号出力装置において、複数のDA変換器へ同期信号を映像信号に重畳して出力する同期信号重畳手段を備えた。

(作用)

上記の構成を有する本発明の映像信号出力装置において、表示制御回路は、R、G、Bの各々のDA変換器に対して同期信号を出力する。すると、R、G、B各々のDA変換器は、映像信号に同期信号を重畳した信号を出力する。

このように同期信号を重畳した信号を出力することによって外部からCRT装置に対して同期信号を入力することなく、グリーン(G)だけでなく、レッド(R)あるいはブルー(B)のフレー

ムバッファの内容のみをCRT装置に映出することができる。

(実施例)

以下、本発明の映像信号出力装置を図面を参照して説明する。第1図は、本発明を具体化したブロック図を示す。第1図を参照すると、映像信号出力装置は画像プロセッサ2を有する。画像プロセッサ2は、データを書き込む描画動作とフレームバッファ1R、1G、1Bからデータを読み込むことの2つの機能を有し、アドレス線10、データ線11及び制御信号12を介して、フレームバッファ1R、1G、1Bに接続されており、フレームバッファ1R、1G、1Bの出力端は、ルックアップテーブル4R、4G、4Bの入力端に夫々接続されている。そして、フレームバッファ1R、1G、1Bは、ランダムポートとシリアルポートを有するマルチポートビデオRAM複数個で構成されている。ルックアップテーブル4R、4G、4BはRAMで構成され、その出力端はDA変換器5R、6G、7BのD_i端子に接続さ

れている。

一方、表示制御回路3から、フレームバッファ1R、1G、1Bに対してシリアルクロック信号(SC)13が送られるようになっており、また、表示制御回路3からは、DA変換クロック信号(CLOCK)14とブランキング信号(BLANK*)15が、また同期信号(SYNC*)16が夫々のDA変換器5R、6G、7Bに接続されている。ここで*印はロウレベルで有意になることを示す。

次に動作を説明する。

画像プロセッサ2は、フレームバッファ1R、1G、1Bのランダムポートに対してアドレス10とデータ11を出力するとともに制御信号12を出力することでフレームバッファ1にデータを書き込む。

表示制御回路3のSC信号13の立ち上がり同期して、フレームバッファ1のシリアルポートから画像データ17が出力される。出力された画像データ17はルックアップテーブル4R、4G、

4Bのアドレスとして入力され、そのアドレスに対応するデータ18がルックアップテーブル4R、4G、4Bより出力されることにより、画像データ17が変換される。変換された画像データ18は、DA変換器5R、6G、7Bに入力される。

本実施例におけるDA変換器5R、6G、7Bは、ルックアップテーブル4からの画像データ18と、表示制御回路3からのBLANK*信号15とSYNC*信号16を、CLOCK信号14の立ち上がりエッジで第2図に示す真理値表に基づいてDA変換するようになっている。

次に、第3図に、1水平期間中のBLANK信号15とSYNC*信号16と、R、G、B、各々のDA変換器5R、6G、7Bの出力を示す。帰線区間の始めにBLANK*信号15が有意になり、R、G、B、各々のDA変換器5R、6G、7BはBLANKレベルを出力する。次にSYNC*信号16が有意になり、R、G、B、すべてのDA変換器5R、6G、7Bは同期信号としてのSYNCレベルを出力する。その後、

SYNC*信号16が無意になり、R、G、B、各々のDA変換器5R、6G、7BはBLANKレベルを出力する。次にBLANK*信号15が無意になり、帰線区間は終了する。帰線区間では、入力された画像データ18は、無視される。表示区間では、BLANK*信号15とSYNC*信号16は共に無意である。R、G、B、各々のDA変換器5R、6G、7Bは、入力された画像データ18に基づいた、BLACKレベル以上WHITEレベル以下のレベルの信号を出力する。

上記したようにR、G、B各々のDA変換器5R、6G、7Bのすべての映像出力には同期信号が重畳されているので、Rのフレームバッファ1RをCRT装置のGの映像信号入力に接続すればRのフレームバッファ1Rの内容のみをCRT装置に映し出すことができ(第5図参照)、また、Gの映像信号出力をCRT装置のGの映像信号入力に接続すればGのフレームバッファ1Gの内容のみをCRT装置に映し出すことができ、また、Bの映像信号出力をCRT装置のGの映像信号入

力に接続すればBのフレームバッファの内容のみをCRT装置に映し出すことができる。

尚、上記実施例では、3個のDA変換器5R、6G、7Bの出力をR、G、Bとして記述したが、本発明はR、G、Bには限定されず、Y、I、QやY、U、Vなどその主旨を逸脱しない範囲で表記に変更を加えることができる。

他の実施例によれば、第1図に於て、3個のDA変換器5R、6G、7Bを集積化したDA変換器を製造することができる。すなわち、ルックアップテーブル4R、4G、4Bからの画像データ18が、3個のDA変換器5R、6G、7Bを集積したDA変換器に送られる。その後、変換された画像データ18が、DA変換器から送出される。

さらに他の実施例によれば、3個のDA変換器5R、6G、7Bとルックアップテーブル4R、4G、4Bを集積化したDA変換器が挙げられる。そのDA変換器によればルックアップテーブルを備えており、フレームバッファ1R、1G、1B

からの信号は直接DA変換器に送られるようになっている。

(発明の効果)

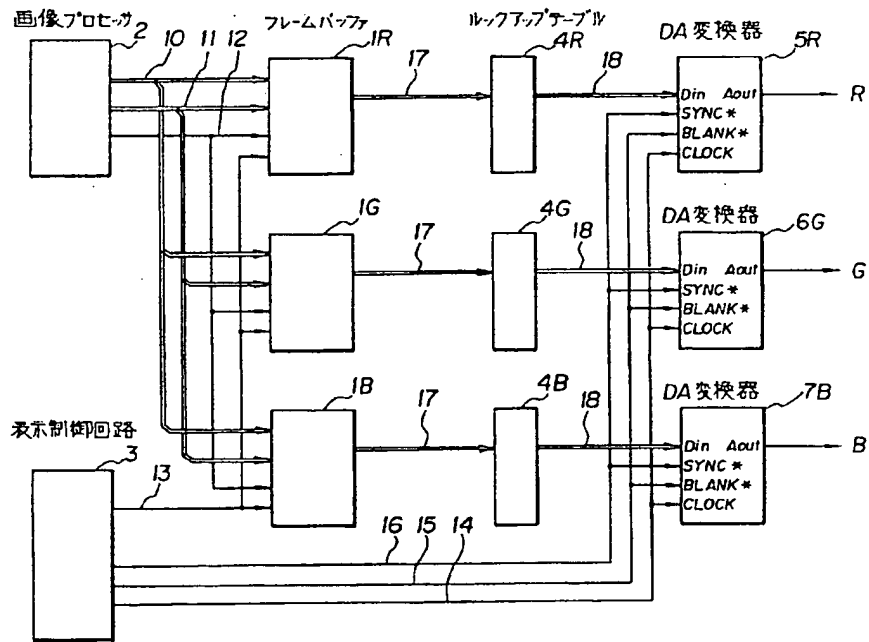
本発明の映像信号出力装置は以上詳述したことから明らかなように、外部からCRT装置に対して同期信号を入力することなく、Gはもちろん、RあるいはBのフレームバッファの内容のみをCRT装置に映し出すことが可能な映像信号出力装置を提供できる。

4. 図面の簡単な説明

第1図は本発明の映像信号出力装置のブロック図、第2図はDA変換器の動作を示す説明図、第3図は本発明のDA変換器の入出力波形図、第4図は本発明の1水平期間中のR、G、B各々のDA変換器の出力を示した入出力波形図、第5図は、本発明の映像信号出力装置の構成図、第6図は従来技術の1水平期間中のR、G、B各々のDA変換器の入出力を示した波形図、第7図は、従来技術の映像信号出力装置のブロック図である。

1…フレームバッファ、2…画像プロセッサ、3…表示制御回路、4…ルックアップテーブル、5、6、7…DA変換器、10…アドレス信号、11…データ信号、12…描画制御信号、13…シリアルロック信号、14…DA変換クロック信号、15…ブランキング信号、16…同期信号、17…画像データ、18…変換後の画像データ、25、26、27…DA変換器。

出願人代理人 石 川 泰 男

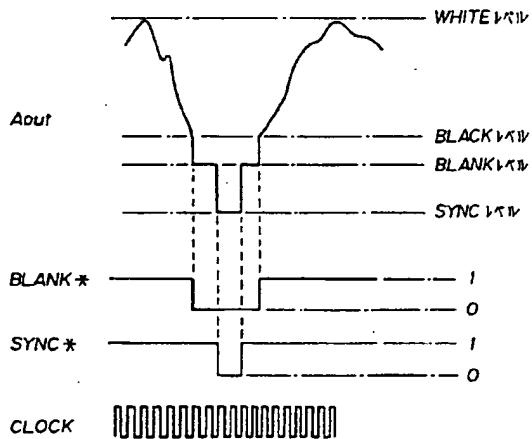


第 1 図

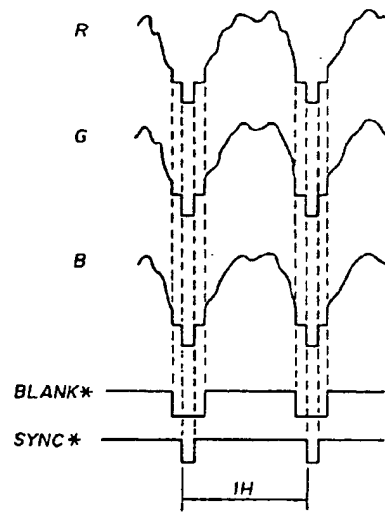
CLOCK	SYNC*	BLANK*	出力レベル
	0	X	SYNCレベル
	1	0	BLANKレベル
	1	1	WHITEレベル～BLACKレベル

X: 無関係の意味, 又, 未持続時は1となる。

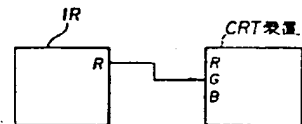
第 2 図



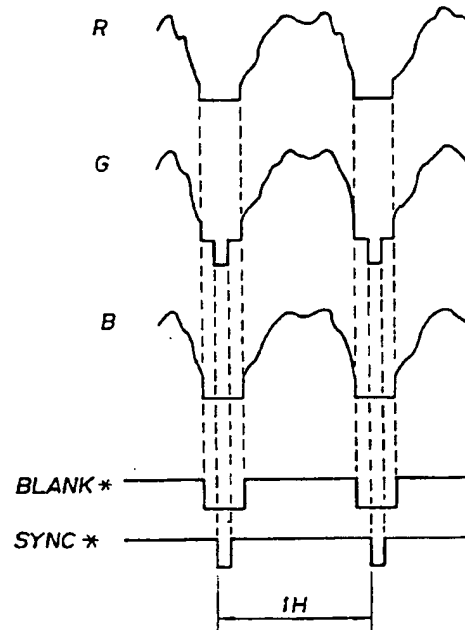
第 3 図



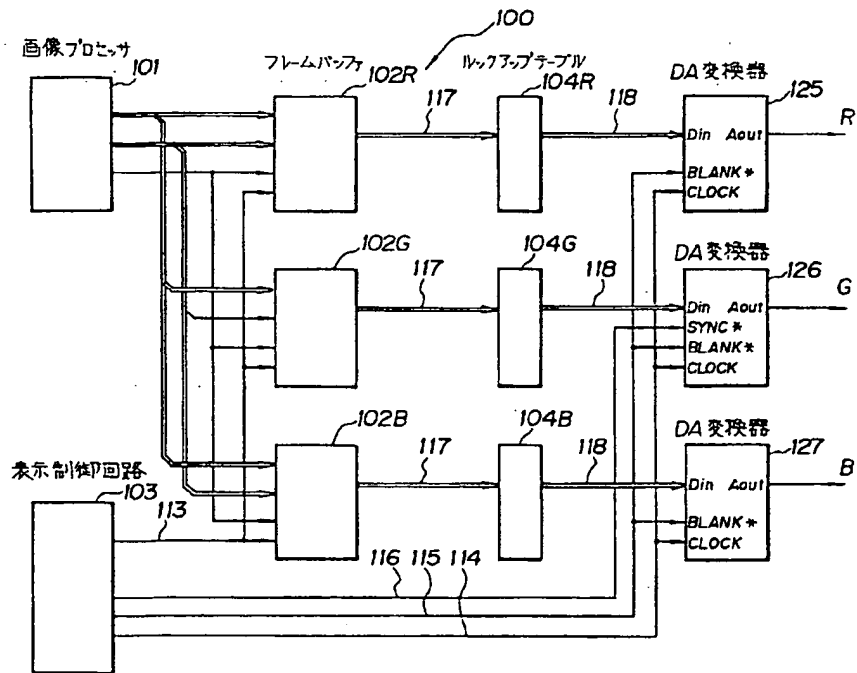
第 4 図



第 5 図



第 6 図



第 7 図

Dialog

Basic Patent (Number,Kind,Date): JP 3279997 A2 911211

PATENT FAMILY:

Japan (JP)

Patent (Number,Kind,Date): JP 3279997 A2 911211
VIDEO SIGNAL OUTPUT DEVICE (English)
Patent Assignee: BROTHER IND LTD
Author (Inventor): IRIE KAZUNORI
Priority (Number,Kind,Date): JP 9080141 A 900328
Applic (Number,Kind,Date): JP 9080141 A 900328
IPC: * G09G-005/04; G09G-005/06; H04N-009/64
Derwent WPI Acc No: ; G 92-035361
JAPIO Reference No: ; 160105P000012
Language of Document: Japanese

INPADOC/Family and Legal Status

© 2007 European Patent Office. All rights reserved.

Dialog® File Number 345 Accession Number 10263606

Dialog

Image signal output device - outputs synchronous signal to D-A converters with superposed on image signal NoAbstract Dwg 1/7

Patent Assignee: BROTHER IND CO LTD

Inventors: IRIE K

Patent Family (1 patent, 1 country)

Patent Number	Kind	Date	Application Number	Kind	Date	Update Type
JP 3279997	A	19911211	JP 199080141	A	19900328	199205 B

Priority Application Number (Number Kind Date): JP 199080141 A 19900328

International Classification (Main): G09G-005/04 (Additional/Secondary): G09G-005/06, H04N-009/64

Original Publication Data by Authority**Japan**

Publication Number: JP 3279997 A (Update 199205 B)

Publication Date: 19911211

****VIDEO SIGNAL OUTPUT DEVICE****

Assignee: BROTHER IND LTD (BRER)

Inventor: IRIE KAZUNORI

Language: JA

Application: JP 199080141 A 19900328 (Local application)

Original IPC: G09G-5/04 G09G-5/06 H04N-9/64

Current IPC: G09G-5/04(A) G09G-5/06 H04N-9/64

Derwent World Patents Index

© 2007 Derwent Information Ltd. All rights reserved.

Dialog® File Number 351 Accession Number 5811875